

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-140980

(43)Date of publication of application : 16.05.2003

(51)Int.Cl.

G06F 12/16
G11C 16/02
G11C 16/06
H04N 5/225
H04N 5/907
H04N 5/91

(21)Application number : 2001-334243

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO
LTD

(22)Date of filing : 31.10.2001

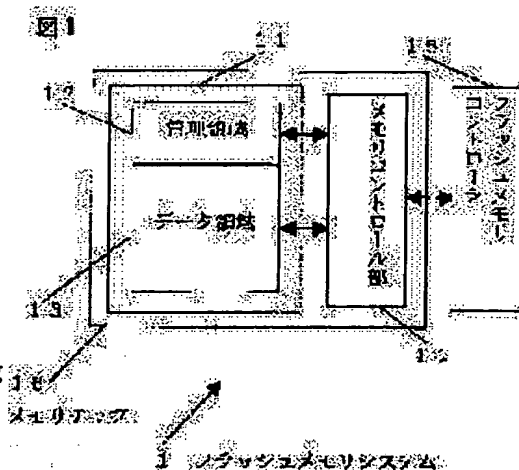
(72)Inventor : KANEHIRA AKIRA
UCHIDA HIROYUKI
KUROKOCHI SHINICHI
IDA YOSHIKAZU

(54) RECORDING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid a system failure caused by lowering of an effective record rate in the system than the rate of write data.

SOLUTION: This recording apparatus includes a memory part 11 having a data area for writing data, and a management area for writing the management information on data written in the data area, and a memory control part 14 for controlling the operation of the memory part. The recording apparatus is provided with a control means 15 for directing writing of the next data without directing rewriting of the same data in the case of a write error in the data area, and directing rewriting of the same data in the case of a write error in the management area, whereby the effective record rate is avoided from being lowered than the rate of write data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-140980
(P2003-140980A)

(43)公開日 平成15年5月16日(2003.5.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 1 0 G 5 B 0 1 8
	3 2 0		3 1 0 C 5 B 0 2 5
G 1 1 C 16/02		H 0 4 N 5/225	3 2 0 F 5 C 0 2 2
16/06		5/907	F 5 C 0 6 2
			B 5 C 0 5 3

審査請求 未請求 請求項の数8 OL (全14頁) 最終頁に続く

(21)出願番号 特願2001-334243(P2001-334243)

(22)出願日 平成13年10月31日(2001.10.31)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 兼平 晃

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100089071

弁理士 玉村 静世

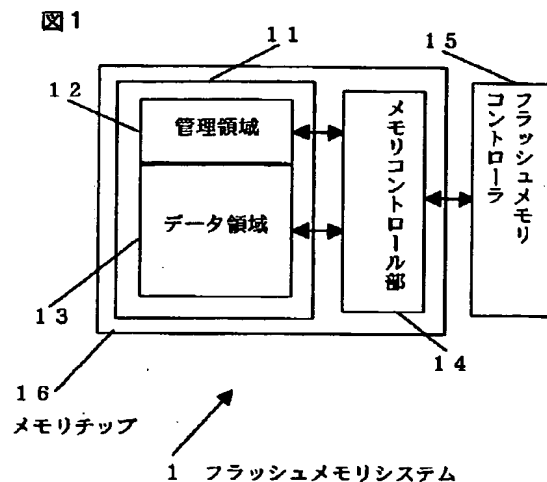
最終頁に続く

(54)【発明の名称】 記録装置

(57)【要約】

【課題】 システムにおける実効記録レートが、書き込みデータのレートを下回ってしまうことに起因するシステム破綻を回避する。

【解決手段】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部(11)と、上記メモリ部の動作を制御するメモリコントロール部(14)とを含んで記録装置が構成されるとき、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示し、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示するための制御手段(15)を設けることにより、実効記録レートが、書き込みデータのレートを下回るのを回避する。



【特許請求の範囲】

【請求項1】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作を制御するメモリコントロール部と、を含む記録装置であって、

上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示し、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示するための制御手段を含んで成ることを特徴とする記録装置。

【請求項2】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントロール部は、上記メモリ部に対する書き込みにおいてエラーを生じた場合に再書き込みを行うことなく、上記メモリコントローラに対してエラー情報を送出し、

上記メモリコントローラは、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記データ領域に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御し、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記管理領域に対するものである場合には同じデータの再書き込みを制御することを特徴とする記録装置。

【請求項3】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントロール部は、上記メモリ部に対する書き込みエラーを生じた場合に再書き込みを行うことなく、上記メモリコントローラに対してエラー情報を送出し、

上記メモリコントローラは、上記データ領域に書き込むべきデータには当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加し、さらに上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記データ領域に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御し、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記管

理領域に対するものである場合には同じデータの再書き込みを制御することを特徴とする記録装置。

【請求項4】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントローラは、上記管理領域に対する書き込みの場合には、同じデータの再書き込みを伴う第1書き込みモードを指定するための第1コマンドを発行し、上記データ領域に対する書き込みの場合には、同じデータの再書き込みを行わない第2書き込みモードを指定するための第2コマンドを発行し、上記メモリコントロール部は、上記第2書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行わず、上記第1書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行うことを特徴とする記録装置。

【請求項5】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントローラは、上記管理領域に対する書き込みの場合には、同じデータの再書き込みを伴う第1書き込みモードを指定するための第1コマンドを発行し、上記データ領域に対する書き込みの場合には、同じデータの再書き込みを行わない第2書き込みモードを指定するための第2コマンドを発行し、さらに上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加し、

上記メモリコントロール部は、上記第2書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行わず、上記第1書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行うことを特徴とする記録装置。

【請求項6】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントローラは、上記管理領域に対する書き

込みの場合には、同じデータの再書き込みを伴う第1書き込みモードを指定するための第1コマンドを発行し、上記データ領域に対する書き込みの場合には、同じデータの再書き込みを行わない第2書き込みモードを指定するための第2コマンドを発行し、

上記メモリコントロール部は、上記第2書き込みモードが指定された状態での書き込みエラーに対しては、同じデータの再書き込みを行わず、上記第1書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行い、

上記第1コマンド及び上記第2コマンドは、書き込みアドレスや書き込みデータの取り込みを可能とする端子を介して、上記書き込みアドレスや上記書き込みデータよりも先に上記メモリコントロール部に与えられることを特徴とする記録装置。

【請求項7】 データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部と、を含む記録装置であって、上記メモリコントローラは、上記管理領域に対する書き込みの場合には、同じデータの再書き込みを伴う第1書き込みモードを指定するための第1コマンドを発行し、上記データ領域に対する書き込みの場合には、同じデータの再書き込みを行わない第2書き込みモードを指定するための第2コマンドを発行し、さらに上記データ領域に書き込むべきデータには当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加し、上記メモリコントロール部は、上記第2書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行わず、上記第1書き込みモードでの書き込みエラーに対しては、同じデータの再書き込みを行い、上記第1コマンド及び上記第2コマンドは、書き込みアドレスや書き込みデータの取り込みを可能とする端子を介して、上記書き込みアドレスや上記書き込みデータよりも先に上記メモリコントロール部に与えられることを特徴とする記録装置。

【請求項8】 上記データ領域に書き込まれるデータは、動画データ又は音声データとされる請求項1乃至7の何れか1項記載の記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録装置に関し、例えばフラッシュメモリを含む記録装置に適用して有効な技術に関する。

【0002】

【従来の技術】不揮発性メモリの一例であるフラッシュ

メモリは、電気的な消去・書き込みによって情報を書換え可能であって、EPROM（エレクトリカル・プログラマブル・リード・オンリ・メモリ）と同様に、そのメモリセルを1個のトランジスタで構成することができ、メモリセルの全てを一括して、またはメモリセルのブロックを一括して電気的に消去する機能を持つ。カード状に形成された記録装置における記録媒体として、フラッシュメモリを提供するものがある。例えば、JEIDAメモリカード（タイプI）、すなわち、JEIDAメモリカードインタフェースに適合されたインタフェースを持つメモリカードは、その一例とされる。この種のメモリカードは、ローカルメモリとカードコントローラを備え、両者はローカルバスで接続され、全体としてカード基板に構成されている。ローカルメモリは、数メガビットの記憶容量を持つフラッシュメモリを複数個配列して成る。上記カードコントローラは、上記JEIDAに適合するインタフェースを介してフラッシュメモリを制御する。

【0003】特開平2-289997号公報には一括消去型EEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）について記載されている。この一括消去型EEPROMは、本明細書におけるフラッシュメモリと同意義に把握することができる。

【0004】

【発明が解決しようとする課題】ビデオカメラにおける動画データの記録媒体として、フラッシュメモリカードを採用することができる。動画データはリアルタイム性が重要とされるため、フラッシュメモリカードへの動画データの書き込みが円滑に行われなければならない。ビデオカメラにおける動画データのようにリアルタイム性が重視される場合の記録媒体としては、最小書き込み時間を保証することによって、システム破綻を回避する必要がある。本願発明者の検討によれば、この動画データのようなリアルタイム性を優先するデータをフラッシュメモリカードに書き込む場合、平均書き込み速度が、書き込みデータのレート以上であってもシステムの破綻を来す場合のあることが見いだされた。例えば、平均書き込み速度が、書き込みデータのレート以上であるにもかかわらず、書き込みエラー発生による同一データの再書き込み等の発生により、あるセクタへの書き込みに対する時間が所定時間を超える場合には、システムにおける実効記録レートが、書き込みデータのレートを下回ってしまい、その結果、システムの破綻を来すことが考えられる。

【0005】本発明の目的は、システムにおける実効記録レートが、書き込みデータのレートを下回ってしまうことに起因するシステム破綻を回避するための技術を提供することにある。

【0006】本発明の前記並びにその他の目的と新規な

特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】〔1〕データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作を制御するメモリコントロール部とを含んで記録装置が構成されるとき、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示し、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示するための制御手段を設ける。ここで、上記書き込みエラーは、書き込みデータを正しく書き込むことができなかつたことを意味する。再書き込みとは、同じデータについて再度行われる書き込みを意味する。

【0009】上記の手段によれば、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示することにより、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避する。また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証する。例えばリアルタイム性が重視される動画データの場合、多少のデータエラーが生じたとしても、それは動画の性質上、それほど影響はない。そこで、リアルタイム性が重視されるデータについては、同じデータの再書き込みを省略することにより、実効記録レートが、書き込みデータのレートを下回るのを回避してシステムの破綻を防止することができる。

【0010】〔2〕さらに具体的な態様としては、データの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むメモリ部と、上記メモリ部の動作に関する各種コマンドを発行可能なメモリコントローラと、上記メモリコントローラから発行されたコマンドに従って上記メモリ部の動作を制御するためのメモリコントロール部とを含んで記録装置が構成されるとき、上記メモリコントロール部は、上記メモリ部に対する書き込みにおいてエラーを生じた場合に再書き込みを行うことなく、上記メモリコントローラに対してエラー情報を送出し、上記メモリコントローラは、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記データ領域に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御し、上記メモリコントロール部からエラー情報が伝達さ

れたときの書き込み動作が上記管理領域に対するものである場合には同じデータの再書き込みを制御するように構成することもできる。

【0011】上記の手段によれば、メモリコントローラは、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記データ領域に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御し、上記メモリコントロール部からエラー情報が伝達されたときの書き込み動作が上記管理領域に対するものである場合には同じデータの再書き込みを制御する。かかる制御により、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示することにより、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避することができ、また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証することができる。

【0012】〔3〕このとき、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略するため、上記コントローラには、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加することができる。

【0013】〔4〕上記メモリコントローラは、上記管理領域に対する書き込みの場合には、同じデータの再書き込みを伴う第1書き込みモードを指定するための第1コマンドを発行し、上記データ領域に対する書き込みの場合には、同じデータの再書き込みを行わない第2書き込みモードを指定するための第2コマンドを発行し、さらに、上記第2コマンドによって上記第2書き込みモードが指定された状態での書き込みエラーに対しては、同じデータの再書き込みを行わず、上記第1コマンドによって第1書き込みモードが指定された状態での書き込みエラーに対しては、同じデータの再書き込みを行うように構成することができる。

【0014】上記の手段によれば、上記データ領域に対する書き込みの場合には、上記メモリコントロール部に対して上記第2書き込みモードによる書き込み制御が指示され、上記管理領域に対する書き込みの場合には、上記メモリコントロール部に対して上記第1書き込みモードによる書き込み制御が指示される。このことが、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避する。また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証

する。

【0015】〔5〕このとき、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略するため、上記コントローラは、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加するように構成することができる。

【0016】〔6〕上記第1書き込みモードによる書き込み制御の指示、及び上記第2書き込みモードによる書き込み制御の指示は、そのような指示に基づく処理の円滑化を図るため、書き込みアドレスや書き込みデータの取り込みを可能とする端子を介して、所定コマンドにより、上記書き込みアドレスや上記書き込みデータよりも先に上記メモリコントロール部に与えることができる。

【0017】〔7〕そして、上記メモリコントロール部において、上記第1書き込みモードや、第2書き込みモードを含む場合においても、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略するため、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加することができる。

【0018】〔8〕上記データ領域に書き込まれるデータは、動画データ又は音声データとすることができ、その場合に、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示することにより、所定レート以上の書き込み速度を保証することができるので、動画データ又は音声データの良好な記録が可能とされる。

【0019】

【発明の実施の形態】図2には本発明にかかる記録装置の一例とされるデータ記録システムの構成例が示される。

【0020】図2に示されるデータ記録システム101は、リアルタイム性を優先するデータの記録を可能とするもので、特に制限されないが、インタフェース制御部2、バッファメモリ3、制御部4、及び入力部5が、バス100によって互いに信号のやり取りが可能に結合されている。リアルタイム性を優先するデータの記録媒体としてフラッシュメモリシステム1が設けられ、上記インタフェース制御部2は、このフラッシュメモリシステム1とバス100との間に介在され、フラッシュメモリシステム1とそれが搭載されるシステムとの間のインタフェース制御を行う。上記フラッシュメモリシステム1は、不揮発性メモリシステムの一例であって、特に制限されないが、カード状に形成され、データ記録システム101に着脱自在とされる。フラッシュメモリシステム1に対して行われる制御は、特に制限されないが、Th

e Multi Media Card System Specification Version 3.1のプロトコルに準拠する。

【0021】バッファメモリ3は、比較的小さな記憶容量を有し、フラッシュメモリシステム1に書き込むべきデータを一時的に蓄えておくのに利用される。制御部4は、特に制限されないが、マイクロコンピュータとされ、予め設定されたプログラムに従って、このデータ記録システム101全体の動作制御を行う。入力部5は、動画データや音声データなどのリアルタイム性を優先するデータの取り込みを可能とする。

【0022】上記入力部5を介して取り込まれ動画データや音声データは、バッファメモリ3に蓄えられた後に、インタフェース制御部2の制御によりフラッシュメモリシステム1に書き込まれる。また、このフラッシュメモリシステム1に書き込まれたデータは、必要に応じて読み出すことができる。

【0023】図3には、上記データ記録システム11の別の構成例が示される。

【0024】図3に示されるデータ記録システム101が、図2に示されるシステムと大きく相違するのは、カメラ部6、カメラ信号処理部7、画像圧縮伸長処理部8、表示部9、及び操作部10を有する点である。

【0025】カメラ部6は、動画の撮影を行うもので、光学系やCCD (Charge Coupled Device) などの固定撮像素子を含んで成る。カメラ信号処理部7は、固定撮像素子からの映像信号をデジタル信号に変換するためのA/D (アナログ/デジタル) コンバータ、このA/Dコンバータから出力されたデジタル信号に対してγ補正等の各種画像処理を行うためのDSP (デジタル・シグナル・プロセッサ) 等を含む。画像圧縮伸長処理部8は、上記カメラ信号処理部7から伝達された映像信号をMPEGフォーマットで圧縮し、また、圧縮された映像信号を伸長する機能を有する。圧縮データは、バッファメモリ3を経由して、インタフェース制御部2の制御下でフラッシュメモリシステムに書き込まれる。表示部9は、カメラ信号処理部7からの映像信号を表示するための液晶表示パネルを有する。操作部10は、このデータ記録システム101を操作するための各種スイッチを含む。フラッシュメモリシステム1に書き込まれた圧縮データは、必要に応じて読み出され、画像圧縮伸長処理部8で伸長されてからカメラ信号処理部7を介して表示部9に表示することができる。

【0026】図1には、図2及び図3に示されるフラッシュメモリシステム1の構成例が示される。

【0027】上記フラッシュメモリシステム1は、特に制限されないが、メモリチップ16と、このメモリチップ16の動作を制御するためのフラッシュメモリコントローラ15とを含んで、カード状に形成される。

【0028】メモリチップ16は、複数のフラッシュメモリセルがアレイ状に配列されて成るメモリ部11と、このメモリ部11を、上記フラッシュメモリコントローラ15からの各種コマンド等に応じて動作制御するためのメモリコントロール部14とを含む。メモリ部11は、特に制限されないが、管理領域12と、データ領域13とを含む。管理領域12には、上記データ領域13に書き込まれるデータの管理情報が書き込まれる。データ領域13には、特に制限されないが、動画データや音声データなどのようにリアルタイム性が優先されるデータが書き込まれる。

【0029】上記メモリチップ16には、特に制限されないが、各種コマンドや書き込みアドレス、書き込みデータ、ステータス情報などを取り込んだり、読み出しデータの出力を可能とするための入出力端子I/O、書き込みの有効性を示すライトイネーブル信号/WEを取り込むためのライトイネーブル信号入力端子、シリアルクロック信号SCを取り込むためのシリアルクロック入力端子、出力データの有効性を示すアウトプットイネーブル信号/OEを取り込むためのアウトプットイネーブル信号入力端子、メモリチップ16がレディ状態であるかビジー状態であるかをチップ外部に対して示すためのレディ・ビジー信号R/Bの出力端子が設けられている。

【0030】フラッシュメモリコントローラ15から上記メモリコントロール部14に対して与えられる各種コマンドには、メモリ部11へのデータ書き込みを指示するための書き込みコマンド、書き込みベリファイを指示するためのコマンド、メモリ部11からのデータ読み出しを指示するための読み出しコマンド、メモリ部11の記憶データを消去するための消去コマンドなどが含まれる。

【0031】メモリコントロール部14は、フラッシュメモリコントローラ15からのコマンドやその他の制御信号を受けて、メモリ部11の読出し、消去、書き込み動作、書き込みベリファイなどの各種内部動作を、内部の読み出し専用メモリに格納されたプログラムに従って制御する。例えば書き込み動作についての指示は、所定のコマンドによって行われるが、このとき、上記フラッシュメモリセルの消去動作及び書き込みデータの書き込み動作は一連の動作として制御される。つまり、消去動作指示と書き込み動作指示とが個別的に与えられるのではなく、書き込み動作が指示されると、それに基づいて先ずフラッシュメモリセルアレイ13の消去動作が行われ、その後にデータの書き込みが行われる。

【0032】消去動作には、消去状態が適切であるかを判断するためのベリファイ動作が含まれる。消去動作の終了により、書き込みデータがメモリ部11に書き込まれる。この書き込みデータがメモリ部11に書き込まれる期間、メモリコントロール部14によって、データ書き込み動作中を示すレディ・ビジー信号R/Bがロ

ーレベルにされることにより、現在データの書き込み動作中であることがフラッシュメモリコントローラ15に知らされる。レディ・ビジー信号R/B*がハイレベルの期間は、データの書き込みが可能であることを示している。書き込み動作には、書き込み状態が適切であるかを判断するためのベリファイ動作が含まれる。

【0033】レディ・ビジー信号R/Bがローレベルの期間はデータ書き込み動作中とされるが、このデータ書き込み動作中においてメモリコントロール部14は、書き込みコマンドに応じたデータ書き込みが正しく行われたか否かの判断を行う。この判断結果は、フラッシュメモリコントローラ15によって読み出されるステータス信号に反映される。メモリコントロール部14は、上記メモリ部11に対する書き込みにおいてエラーを生じた場合に同一データの再書き込みを行うことなく、上記インタフェース制御部2に対してエラー情報を送出する。このエラー情報は、特に制限されないが、レディ・ビジー信号R/B*がローレベルからハイレベルに遷移されて書き込み動作が終了された後に出力されるステータス信号の所定ビットによってフラッシュメモリコントローラ15に伝達される。

【0034】フラッシュメモリコントローラ15は、バス100を介して受け取ったメモリ論理アドレスから物理アドレスへのアドレス変換やメモリコントロール部14に対して各種コマンドや各種制御信号を発行する。また、フラッシュメモリコントローラ15は、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記データ領域13に対するものである場合に同じデータの再書き込みを行うことなく、次のデータを書き込むように制御し、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記管理領域12に対するものである場合には同じデータの再書き込みを制御する。すなわち、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記データ領域13に対するものである場合に同じデータの再書き込みを行うと、システムにおける実効記録レートが、書き込みデータのレートを下回ってしまうおそれがあり、それを回避するために、エラー情報が伝達されたときの書き込み動作が上記データ領域13に対するものである場合には、リアルタイム性を優先して、当該エラーにかかるデータの再書き込みは一切行わずに次のデータの書き込み動作に移る。それに対して、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記管理領域12に対するものである場合には、書き込みを行うための精度を保証するため、エラーにかかるデータの再書き込みを行う。ここで、このフラッシュメモリコントローラ15が本発明における制御手段の一例とされる。

【0035】また、このフラッシュメモリコントローラ15は、データのリアルタイム性を阻害するような処理

を可能な限り省略するため、上記データ領域13に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略している。そして、上記管理領域12に書き込むべきデータには、データの信頼性を優先して当該データの誤り訂正のための符号を付加する。ここで、上記誤り訂正符号は、特に制限されないが、ECC (error checking and correcting) とされ、1ビット誤りの自動訂正と2ビット誤りの検出が可能とされる。そのようなECCコードが、データに付加されて書き込まれることにより、そのデータの読み出しの際に誤り訂正が可能とされる。

【0036】図12にはフラッシュメモリシステム1のフォーマット例が示される。これは、FATファイルシステムを用いた場合のフォーマット時に形成され、管理領域12とデータ領域13とが論理アドレス順に配列されている。

【0037】管理領域12は、MBR (マスタブートレコード)、空き領域、PBR (パーティションブートレコード)、FAT1 (メディア容量依存)、FAT2 (メディア容量依存)、DIR (32セクタ固定) の順に割り当てられる。マスタブートレコード、及びパーティションブートレコードは、何れも1セクタ固定であり、それぞれパーティションテーブル、及びBIOSパラメータブロックを含む。フォーマット後、フラッシュメモリコントローラ15は、マスタブートレコード、及びパーティションブートレコード等のデータより、管理領域12とデータ領域13の論理アドレスを確認する。

【0038】図4には管理領域12への書き込み動作が示され、図6にはその場合における主要部の動作タイミングが示される。

【0039】管理領域12に管理情報を書き込む場合、フラッシュメモリコントローラ15は、ECCコード151を生成し、当該コードと共にデータを管理領域に書き込むようにメモリコントロール部14に対してアクセスコマンドを発行する(41)。管理領域12への書き込みにおいては、図6に示されるように、フラッシュメモリシステム1の入出力端子I/Oには、書き込みコマンドxxh、書き込みアドレスSA1、SA2、書き込みデータDin、及び書き込みスタートコマンド40hが順次フラッシュメモリコントローラ15から伝達される。書き込みアドレスSA1は、メモリ部1のロー系のアドレス信号とされ、それに続いて入力される書き込みアドレスSA2は、メモリ部1のカラム系のアドレス信号とされる。書き込みアドレスSA2はメモリアクセスの初期アドレスとされ、それに続くアドレスは、フラッシュメモリコントローラ15から伝達されたシリアルクロック信号SCに同期してメモリコントロール部14で生成される。入出力端子I/Oに伝達された書き込みデータDinは、シリアルクロック信号SCに同期してメモリコントロール部14に取り込まれる。そして、書き

込みスタートコマンド40hに呼応して書き込みが開始される。レディ・ビジー信号R/Bのローレベル期間に管理領域12への書き込みが行われる。書き込みの終了が確認された後に、フラッシュメモリコントローラ15によってアウトプットイネーブル信号/OEがローレベルにアサートされることにより、入出力端子I/Oからステータス情報Statusが出力される(43)。フラッシュメモリコントローラ15では、上記ステータス情報Statusにおける所定ビットの論理をチェックすることによって、上記の書き込みデータDinの書き込みにおいて書き込みエラーを生じたか否かを判別することができる。例えば上記ステータス情報Statusにおける所定ビットの論理がローレベルとされる場合には、書き込みが正常に行われたことを示し、それがハイレベルとされる場合には、書き込みが正常に行われていないことを示す。

【0040】メモリコントロール部14は書き込みエラーを生じた場合でも、同一データの再書き込みは行わず(42)、ステータス情報Statusにおける所定ビットにより、フラッシュメモリコントローラ15にエラーを生じたことを示すエラー情報を送出する(43)。フラッシュメモリコントローラ15は、メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が管理領域12に対するものである場合には、メモリコントロール部14に対して同じデータの再書き込みを指示する。すなわち、図6において、62で示されるように再びフラッシュメモリシステム1の入出力端子I/Oには、書き込みコマンドxxh、書き込みアドレスSA1、SA2、書き込みデータDin、及び書き込みスタートコマンド40hが順次フラッシュメモリコントローラ15から伝達されることによって、再書き込みが行われる(62)。この再書き込みにおいてもステータス情報Statusによるエラー判別が行われ、エラーが発生している場合には、再び上記再書き込み(62)が行われる。何度もエラーが発生する場合には、管理領域12において予め設定されている代替領域へ書き込みが行われるように書き込みアドレスの変換が行われる。

【0041】図5にはデータ領域13への書き込み動作が示され、図7にはその場合における主要部の動作タイミングが示される。

【0042】データ領域13へデータを書き込む場合、フラッシュメモリコントローラ15は、データをデータ領域13に書き込むようにメモリコントロール部14に対してアクセスコマンドを発行する(51)。このとき、フラッシュメモリコントローラ15ではECCコード151の生成は行われない。これは、データ領域13へデータを書き込む場合には、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略するためである。

【0043】データ領域13への書き込みにおいては、

図7に示されるように、フラッシュメモリシステム1の入出力端子I/Oには、書き込みコマンドxxh、書き込みアドレスSA1、SA2、書き込みデータDin、及び書き込みスタートコマンド40hが順次フラッシュメモリコントローラ15から伝達される。書き込みアドレスSA1は、メモリ部1のロー系のアドレス信号とされ、それに続いて入力される書き込みアドレスSA2は、メモリ部1のカラム系のアドレス信号とされる。書き込みアドレスSA2はメモリアクセスの初期アドレスとされ、それに続くアドレスは、フラッシュメモリコントローラ15から伝達されたシリアルクロック信号SCに同期してメモリコントロール部14で生成される。入出力端子I/Oに伝達された書き込みデータDinは、シリアルクロック信号SCに同期してメモリコントロール部14に取り込まれる。そして、書き込みスタートコマンド40hに呼応して書き込みが行われる。レディ・ビジー信号R/Bのローレベル期間に管理領域12への書き込みが行われる。ここで、管理領域12への書き込みの際には、書き込みの終了が確認された後に、書き込みステータス情報Statusにおける所定ビットの論理をチェックすることによって書き込みエラーを生じたか否かの判別が行われたが(図4、図6参照)、データ領域13への書き込みにおいては、上記ステータス情報Statusによるエラー判別を行うことなく、書き込みが終了される(71)。すなわち、メモリコントロール部14による再書き込み(52)や、メモリコントロール部14からフラッシュメモリコントローラ15へのエラー情報の伝達(53)も行われない。これは、データ領域13に書き込まれるデータのリアルタイム性を優先し、このデータのリアルタイム性を阻害するような処理を可能な限り省略するためである。

【0044】上記の例によれば、以下の作用効果を得ることができる。

【0045】(1)メモリコントロール部14は、上記メモリ部11に対する書き込みにおいてエラーを生じた場合に再書き込みを行うことなく、上記インタフェース制御部2に対してエラー情報を送出し、インタフェース制御部2は、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記データ領域11に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御し、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記管理領域12に対するものである場合には同じデータの再書き込みを制御するためのコントローラ15を含んで構成されることにより、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動作が上記データ領域に対するものである場合に同じデータの再書き込みを行うことなく次のデータを書き込むように制御され、上記メモリコントロール部14からエラー情報が伝達されたときの書き込み動

作が上記管理領域に対するものである場合には同じデータの再書き込みが制御される。かかる制御により、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示することにより、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避することができ、また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証することができる。

【0046】(2)上記フラッシュメモリコントローラ15に、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加するための処理を上記フラッシュメモリコントローラ15で行うことは、データのリアルタイム性を阻害するような処理が省略されることから、システムにおける実効記録レートが、書き込みデータのレートを下回ってしまうことに起因するシステム破綻を回避する上で有効とされる。

【0047】次に、別の例について説明する。

【0048】図1及び図2に示されるフラッシュメモリシステム1及びインタフェース制御部2での処理を次のように変更することができる。

【0049】メモリコントロール部14は、メモリ部11への書き込み動作において同じデータの再書き込みを伴う第1書き込みモードと、それを伴わない第2書き込みモードとを備えている。そして、インタフェース制御部2は、フラッシュメモリコントローラ15を有し、このフラッシュメモリコントローラ15は、データ領域13に対する書き込みの場合には、上記メモリコントロール部14に対して上記第2書き込みモードによる書き込み制御を指示し、管理領域12に対する書き込みの場合には、上記メモリコントロール部14に対して上記第1書き込みモードによる書き込み制御を指示する。このとき、上記第1書き込みモードによる書き込み制御の指示、及び上記第2書き込みモードによる書き込み制御の指示は、書き込みアドレスや書き込みデータの取り込みを可能とする入出力端子I/Oを介して、所定コマンドにより、上記書き込みアドレスや上記書き込みデータよりも先に上記コントローラから上記メモリコントロール部14に与えられる。

【0050】尚、フラッシュメモリコントローラ15において、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加が省略され、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号が付加されることや、その他の処理は、上記実施態様の場合と同様とされるため、それについての詳細な説明を省略する。

【0051】図8には管理領域12への書き込み動作が示され、図10にはその場合における主要部の動作タイミングが示される。

【0052】管理領域12に管理情報を書き込む場合、フラッシュメモリコントローラ15は、ECCコード151を生成し、当該コードと共にデータを管理領域に書き込むようにメモリコントロール部14に対してアクセスコマンドを発行する(81)。このとき、図10に示されるように、フラッシュメモリシステム1の入出力端子I/Oには、リトライ有り書き込みコマンドRTC、書き込みアドレスSA1、SA2、書き込みデータDin、及び書き込みスタートコマンド40hが順次フラッシュメモリコントローラ15から伝達される。リトライ有り書き込みコマンドRTCは、メモリ部11への書き込み動作において同じデータの再書き込みを伴う第1書き込みモードを指示するコマンドとされる。そのようなコマンドがフラッシュメモリコントローラ15からメモリコントロール部14に与えられることにより、管理領域12への書き込みは上記第1書き込みモードにより行われる(82)。書き込みアドレスSA1は、メモリ部1のロー系のアドレス信号とされ、それに続いて入力される書き込みアドレスSA2は、メモリ部1のカラム系のアドレス信号とされる。書き込みアドレスSA2はメモリアクセスの初期アドレスとされ、それに続くアドレスは、フラッシュメモリコントローラ15から伝達されたシリアルクロック信号SCに同期してメモリコントロール部14で生成される。入出力端子I/Oに伝達された書き込みデータDinは、シリアルクロック信号SCに同期してメモリコントロール部14に取り込まれる。そして、書き込みスタートコマンド40hに呼応して書き込みが行われる。レディ・ビジー信号R/Bのローレベル期間に管理領域12への書き込みが行われる。レディ・ビジー信号R/Bのローレベル期間において、メモリコントロール部14から出力される内部書き込み信号Writeがローレベルにアサートされた期間で第1回目の書き込みが行われ、メモリコントロール部14において、内部ステータス情報(Status)102における所定ビットの論理判定が行われる。この論理判定において、書き込みエラーが発生していると判断された場合には、メモリコントロール部14において、管理領域12に対して同一データの再書き込みが行われ、再び、内部ステータス情報(Status)103における所定ビットの論理判定が行われる。この論理判定において、書き込みエラーが発生していないと判断された場合には、メモリコントロール部15によりレディ・ビジー信号R/Bがハイレベルにされる。これによりフラッシュメモリコントローラ15は、管理領域12への書き込みの終了を知り、アウトプットイネーブル信号/OEをローレベルにアサートする。それにより、入出力端子I/Oからステータス信号(Status)101が出力

され、フラッシュメモリコントローラ15は、このステータス信号(Status)101によりフラッシュメモリシステム1の状態を知ることができる。

【0053】図9にはデータ領域13への書き込み動作が示され、図11にはその場合における主要部の動作タイミングが示される。

【0054】データ領域13にデータを書き込む場合、フラッシュメモリコントローラはECCコードを作成せず、データのみをデータ領域13に書き込むよう、メモリコントロール部14にアクセスコマンドを発行する(91)。このとき、図11に示されるように、フラッシュメモリシステム1の入出力端子I/Oには、リトライ無し書き込みコマンドNRC、書き込みアドレスSA1、SA2、書き込みデータDin、及び書き込みスタートコマンド40hが順次フラッシュメモリコントローラ15から伝達される。リトライ無し書き込みコマンドNRCは、メモリ部11への書き込み動作において同じデータの再書き込みを伴わない第2書き込みモードを指示するコマンドとされる。そのようなコマンドがフラッシュメモリコントローラ15からメモリコントロール部14に与えられることにより、データ領域13への書き込みは上記第2書き込みモードにより行われる(92)。書き込みアドレスSA1は、メモリ部1のロー系のアドレス信号とされ、それに続いて入力される書き込みアドレスSA2は、メモリ部1のカラム系のアドレス信号とされる。書き込みアドレスSA2はメモリアクセスの初期アドレスとされ、それに続くアドレスは、フラッシュメモリコントローラ15から伝達されたシリアルクロック信号SCに同期してメモリコントロール部14で生成される。入出力端子I/Oに伝達された書き込みデータDinは、シリアルクロック信号SCに同期してメモリコントロール部14に取り込まれる。そして、書き込みスタートコマンド40hに呼応して書き込みが行われる。レディ・ビジー信号R/Bのローレベル期間にデータ領域12への書き込みが行われる。レディ・ビジー信号R/Bのローレベル期間において、メモリコントロール部14から出力される内部書き込み信号Writeがローレベルにアサートされた期間でデータの書き込みが行われる。このとき、内部ステータス情報(Status)112は生成されるが、この情報における所定ビットの論理判定によるエラー判定は行われない。すなわち、内部ステータス情報(Status)112の内容にかかわらず、データ書き込みが終了される。これは、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略するためである。

【0055】上記の例によれば、以下の作用効果を得ることができる。

【0056】(1)メモリコントロール部14は、メモリ部11への書き込み動作において同じデータの再書き

込みを伴う第1書き込みモードと、それを伴わない第2書き込みモードとを含み、フラッシュメモリコントローラ15は、データ領域13に対する書き込みの場合には、上記メモリコントロール部14に対して上記第2書き込みモードによる書き込み制御を指示し、管理領域12に対する書き込みの場合には、上記メモリコントロール部に対して上記第1書き込みモードによる書き込み制御を指示する。これにより、上記データ領域での書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みが指示されるため、上記の例の場合と同様に、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避することができる。また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証することができる。

【0057】(2) 上記フラッシュメモリコントローラ15は、上記データ領域に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、上記管理領域に書き込むべきデータには当該データの誤り訂正のための符号を付加することにより、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略することができるので、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避する上で有効とされる。

【0058】(3) 第1書き込みモードによる書き込み制御の指示や、第2書き込みモードによる書き込み制御の指示が、書き込みアドレスや書き込みデータの取り込みを可能とする端子を介して、所定コマンドにより、上記書き込みアドレスや上記書き込みデータよりも先にメモリコントロール部14に与えることにより、そのような指示に基づく処理の円滑化を図ることができる。

【0059】(4) データ領域13に書き込むべきデータについては当該データの誤り訂正のための符号の付加を省略し、管理領域12に書き込むべきデータには当該データの誤り訂正のための符号を付加することにより、データのリアルタイム性を優先し、データのリアルタイム性を阻害するような処理を可能な限り省略することができるので、実効記録レートが、書き込みデータのレートを下回るのを回避する上で有効とされる。

【0060】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0061】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデータ記録システムについて説明したが、本発明はそれに限定されるものではなく、各種記録装置に適用することがで

きる。

【0062】本発明は、少なくともデータの書き込みを可能とするデータ領域、及び上記データ領域に書き込まれるデータの管理情報を書き込み可能な管理領域を含むことを条件に適用することができる。

【0063】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0064】すなわち、データ領域に対する書き込みエラーに対しては同じデータの再書き込みを指示することなく、次のデータの書き込みを指示することにより、所定レート以上の書き込み速度を保証することによって、実効記録レートが、書き込みデータのレートを下回るのを回避する。それにより、システムにおける実効記録レートが、書き込みデータのレートを下回ってしまうことに起因するシステム破綻を回避することができる。また、上記管理領域での書き込みエラーに対しては同じデータの再書き込みを指示することにより、管理領域においては、書き込みを行うための精度を保証することができる。

【図面の簡単な説明】

【図1】本発明にかかる記録装置の一例とされるデータ記録システムにおける主要部の構成例ブロック図である。

【図2】上記データ記録システムの構成例ブロック図である。

【図3】上記データ記録システムの別の構成例ブロック図である。

【図4】上記データ記録システムにおける管理領域への書き込みについての説明図である。

【図5】上記データ記録システムにおけるデータ領域への書き込みについての説明図である。

【図6】上記データ記録システムにおける管理領域への書き込みについての動作タイミング図である。

【図7】上記データ記録システムにおけるデータ領域への書き込みについての動作タイミング図である。

【図8】上記データ記録システムにおける管理領域への書き込みについての別の説明図である。

【図9】上記データ記録システムにおけるデータ領域への書き込みについての別の説明図である。

【図10】上記データ記録システムにおける管理領域への書き込みについての別の動作タイミング図である。

【図11】上記データ記録システムにおけるデータ領域への書き込みについての別の動作タイミング図である。

【図12】上記データ記録システムに含まれるフラッシュメモリシステムのフォーマット例説明図である。

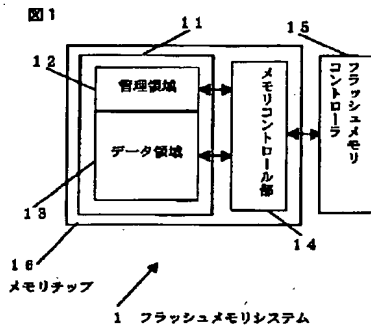
【符号の説明】

- 1 フラッシュメモリシステム
- 2 インタフェースシステム

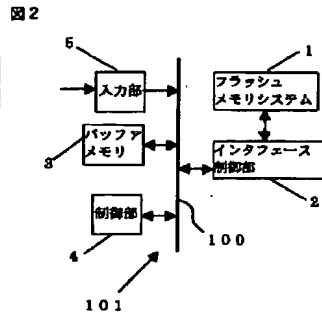
- 3 バッファメモリ
- 4 制御部
- 6 カメラ部
- 7 カメラ信号処理部
- 8 画像圧縮伸長処理部
- 9 表示部
- 10 操作部

- 11 メモリ部
- 12 管理領域
- 13 データ領域
- 14 メモリコントロール部
- 15 フラッシュメモリコントローラ
- 16 メモリチップ

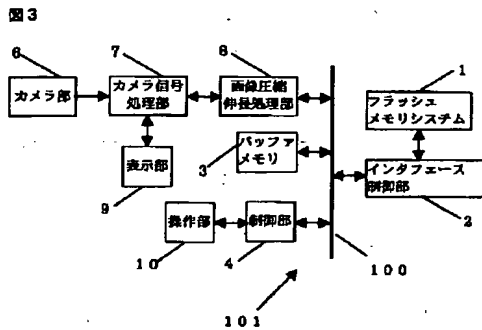
【図1】



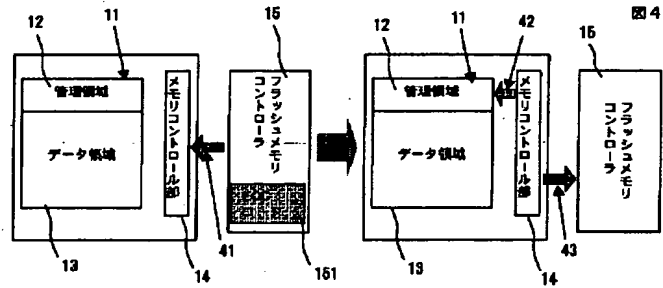
【図2】



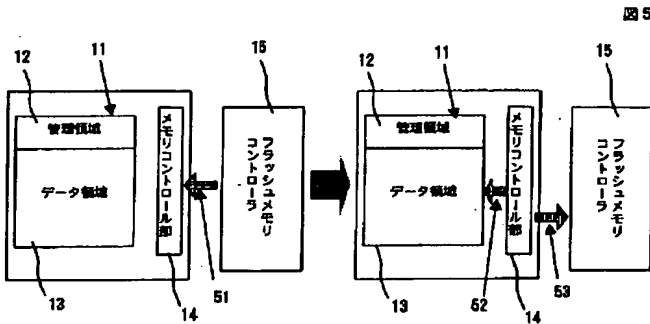
【図3】

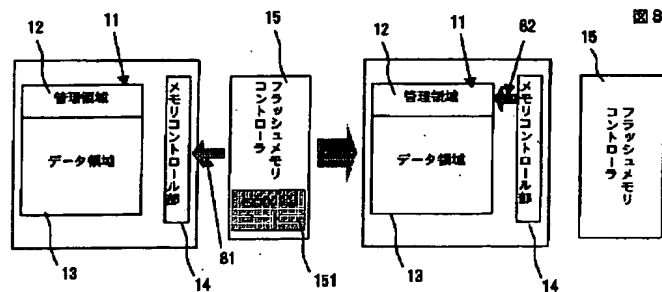


【図4】

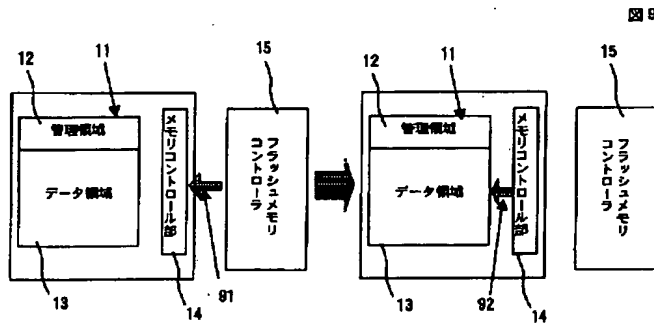


【図5】

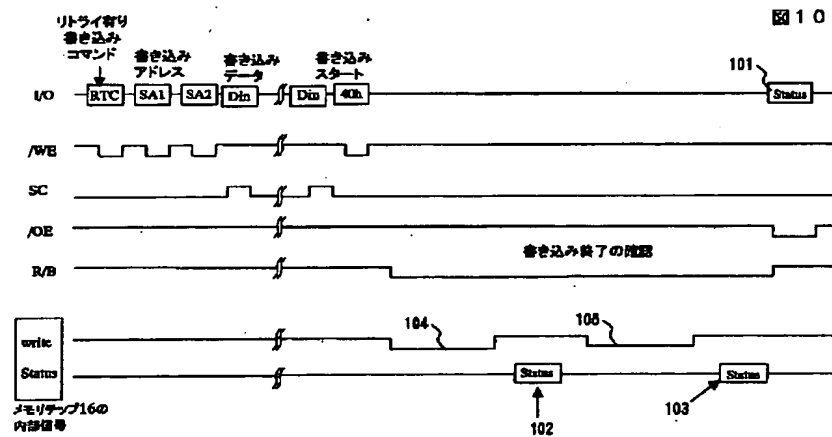




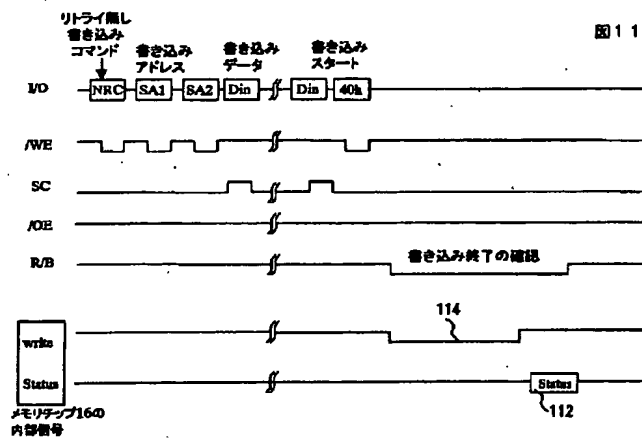
【図9】



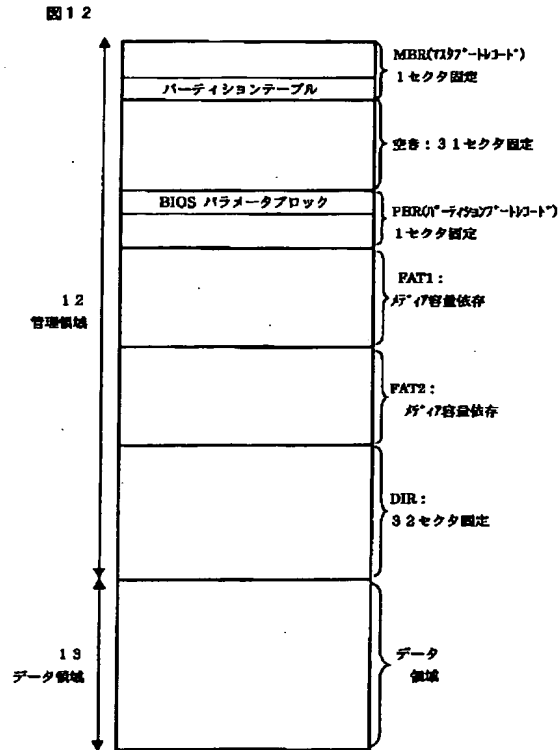
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	7-717" (参考)
H 0 4 N	5/225	G 1 1 C 17/00	6 1 1 Z
	5/907		6 3 9 C
	5/91	H 0 4 N 5/91	Z
(72)発明者 内田 博之	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内	(72)発明者 飯田 好和	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(72)発明者 黒河内 真一	東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内	Fターム(参考)	5B018 GA02 GA06 HA15 KA01 KA12 NA06 QA15 5B025 AA01 AD04 AE05 5C022 AA11 AC31 AC69 5C052 GA01 GA07 GD03 GE06 GF02 5C053 FA09 FA27 GB14 GB17 KA04 KA19